

FROM: SEL

**Family list****2** family member for: **JP11168042**

Derived from 1 application

**1 METHOD AND DEVICE FOR MANUFACTURING SEMICONDUCTOR DEVICE****Inventor:** KOMORI MOTOFUMI**Applicant:** NIPPON ELECTRIC CO**EC:****IPC:** *G03F7/038; G03F7/38; G03F7/40* (+10)**Publication Info:** **JP3042480B2 B2** - 2000-05-15**JP11168042 A** - 1999-06-22Data supplied from the *esp@cenet* database - Worldwide

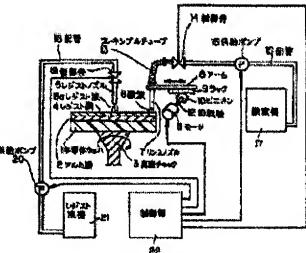
## METHOD AND DEVICE FOR MANUFACTURING SEMICONDUCTOR DEVICE

Patent number: JP11168042  
 Publication date: 1999-06-22  
 Inventor: KOMORI MOTOFUMI  
 Applicant: NIPPON ELECTRIC CO  
 Classification:  
 - International: G03F7/038; G03F7/38; G03F7/40; H01L21/027; H01L21/302; H01L21/3065; G03F7/038; G03F7/38; G03F7/40; H01L21/02; (IPC-7): H01L21/027; G03F7/038; G03F7/38  
 - european:  
 Application number: JP19970332575 19971203  
 Priority number(s): JP19970332575 19971203

Report a data error here

## Abstract of JP11168042

**PROBLEM TO BE SOLVED:** To provide a method and a device for manufacturing a semiconductor device which is capable of protecting the sidewall of a wiring and reduce end point defects during etching, without reducing the throughput or increasing the number of processes. **SOLUTION:** A chemically amplified negative resist liquid 5a is applied to the aluminum film 2 of a semiconductor wafer 1 from a nozzle 5, while spin coating the wafer 1 to form a resist film 4. An acid liquid 6 is supplied on the resist film 4 of a predetermined width at the periphery of the wafer 1 from a rinse nozzle 7 to form a dummy resist pattern at the periphery of the wafer 1 by the cross-linking of the acid liquid 6. Then, the resist film 4 is irradiated with electron beams in a predetermined pattern and then is etched. The formation of the dummy resist pattern by the acid liquid 6 can prevent damages to the sidewall of an aluminum wiring layer and end point (EDP) defects.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-168042

(43) 公開日 平成11年(1999) 6月22日

(51) Int.Cl. <sup>5</sup>	識別記号	F I	
H 0 1 L 21/027		H 0 1 L 21/30	5 8 9 F
G 0 3 F 7/038	6 0 1	G 0 3 F 7/038	6 0 1
7/38	6 0 1	7/38	6 0 1
		H 0 1 L 21/30	6 0 2
			5 4 1 Z

審査請求 有 請求項の数 8 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願平8-332575

(22) 出願日 平成9年(1997)12月3日

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 小森 基史

東京都港区芝5丁目7番1号 日本電気株式  
会社社内

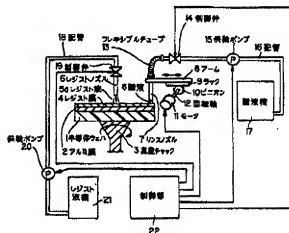
(74) 代理人 弁理士 平田 忠雄

(54) 【発明の名称】 半導体装置の製造方法及び製造装置

(67) 【要約】

【課題】 スルーブットの低下や工程数の増加を招くことなく、エッチング時の記録の側壁保護やE D P不良の低減を図る半導体装置の製造方法及び製造装置を提供する。

【解決手段】 半導体ウェハ1のアルミ膜2上にノズル3から化学増幅型のネガレジスト液5aをスピン塗布してレジスト膜4を形成する。更に、ウェハ1の周辺のレジスト膜4上に酸液6をリンスノズル7から所定幅に供給し、この酸液6の薬液によりウェハ1の周辺にダミーレジストパターンを形成する。この後、レジスト膜4に所定パターンで電子線を照射して露光後、エッチングを行う。酸液6を用いてダミーレジストパターンを形成したことで、スルーブットを低下させずに、エッチング時のアルミ記録層の側壁やられ及びE P D不良を防止することができる。



## 【特許請求の範囲】

【請求項１】 半導体ウェハ上に被エッチング膜を形成し、

前記被エッチング膜上に化学増幅型のネガレジストを形成し、

前記ネガレジスト上に所定の第１のパターンで酸液を供給し、

前記ネガレジストを所定の第２のパターンで露光し、かつ、その後で現像し、

前記ネガレジストの前記所定の第１及び第２のパターンを除く領域を除いて前記所定の第１及び第２のパターンを有したネガレジストパターンを形成し、

前記ネガレジストパターンに基づいて前記被エッチング膜をエッチングして前記所定の第１及び第２のパターンを有したパターン層を形成することを特徴とする半導体装置の製造方法、

【請求項２】 前記被エッチング膜の形成は、アルミスパッタによってアルミ膜を形成し、

前記所定の第１のパターンのネガレジストパターンの形成は、前記アルミ膜の外縁部に所定の幅でダミーレジストパターンを形成し、

前記所定の第２のパターンのネガレジストパターンの形成は、アルミ配線用レジストパターンを形成することを特徴とする請求項１記載の半導体装置の製造方法、

【請求項３】 前記酸液の供給は、前記ネガレジストの露光及び現像の前、その後、或いはその後に行われることを特徴とする請求項１記載の半導体装置の製造方法、

【請求項４】 前記酸液の供給は、スルホン酸等の強酸を供給することを特徴とする請求項１記載の半導体装置の製造方法、

【請求項５】 半導体ウェハ上に被エッチング膜を形成する被エッチング膜形成手段と、

前記被エッチング膜上に化学増幅型のネガレジストを形成するネガレジスト形成手段と、

前記ネガレジスト上に所定の第１のパターンで酸液を供給する酸液供給手段と、

前記ネガレジストを加熱する加熱手段と、

前記ネガレジストを所定の第２のパターンで露光し、かつ、その後で現像する露光現像手段と、

前記ネガレジストの前記所定の第１及び第２のパターンを除く領域を除いて前記所定の第１及び第２のパターンを有したネガレジストパターンを形成するネガレジストパターン形成手段と、

前記ネガレジストパターンに基づいて前記被エッチング膜をエッチングして前記所定の第１及び第２のパターンを有した前記被エッチング膜のパターン層を形成するパターン層形成手段を備えたことを特徴とする半導体装置の製造装置、

【請求項６】 前記酸液供給手段は、前記ネガレジスト上に前記酸液を供給するリンスノズルと、前記リンスノズルを前記所定の第１のパターンに応じて前記ネガレジスト上で走査する走査手段を有することを特徴とする請求項５記載の半導体装置の製造装置、

【請求項７】 前記酸液供給手段は、前記リンスノズルに前記酸液を供給する酸液槽と、前記酸液槽から前記リンスノズルに供給される前記酸液の供給量を制御する制御手段を有することを特徴とする請求項６記載の半導体装置の製造装置、

【請求項８】 前記走査手段は、前記リンスノズルを前記ネガレジストの外縁上に所定の幅にわたって走査する構成の請求項６記載の半導体装置の製造装置、

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、半導体装置の製造方法及び製造装置に関し、特に、化学増幅型ネガレジストの塗布面に電子ビームなどを照射して露光する際、スループットを低下させることなく耐エッチング性を向上させ、かつ安定したエッチングを行うための半導体装置の製造方法及び製造装置に関する。

【０００２】

【従来の技術】ＬＳＩプロセスにおいて、例えば、パイボラＩＣを製造する場合、表面酸化や前処理の施された半導体ウェハの表面に、分離層用堆積み層、エピタキシャル層、分離層、高濃度層、Ｐ層、コンタクト孔などをリソグラフィ技術を用いて形成した後、所定位置にアルミ層をスパッタした後、リソグラフィ技術により配線層を形成する。この配線層は、その表面にホトレジストを塗布し、マスクを介し或いはマスクを用いない直接描画によりウェハ面に所望の配線形状のパターンを露光し、その後、現像、エッチング、レジスト除去等を経ることにより形成される。

【０００３】レジストには、光の照射されない部分が残されて光の照射された部分が溶解するポジ型と、光の照射された部分が硬化反応を起こして硬化残留するネガ型の２種類がある。露光に直接描画法を用いた場合、配線のパターニングの工程には、スループットの面からネガレジストを用いるのが一般的である。ネガレジストを用いる場合、半導体チップが形成されない半導体ウェハの周辺部には、レジストは存在しない。つまり、ウェハ周辺部には電子ビーム（ＥＢ）などによる描写が行われないため、エッチング前のウェハ周辺部にはレジストが表れない。一般に、半導体ウェハの周辺部にレジストが無い場合、ローディング効果（エッチングする面積差によりエッチレートが変化すること）のため、半導体ウェハの周辺部でエッチャントが余剰になり、エッチレートがウェハ中央部に比べて高くなり、シャープなエンドポイントが得られない。

【０００４】また、半導体ウェハの外周に位置する半

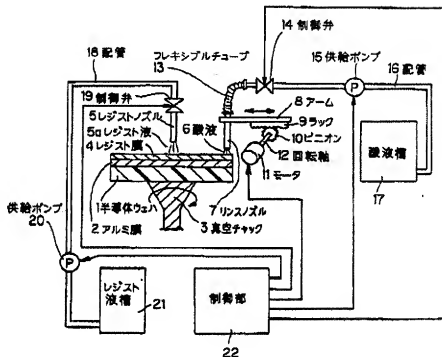


- 1 半導体ウェハ
- 2 アルミ膜
- 4 レジスト膜
- 6 レジストノズル
- 5 レジスト液

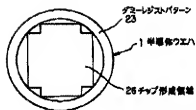
- 6 酸液
- 7 リンスノズル
- 8 アーム
- 9 ラック
- 10 ピニオン
- 11 モータ
- 14, 19 制御弁

- 15, 20 供給ポンプ
- 17 酸液槽
- 21 レジスト液槽
- 22 制御部
- 23 ダミーレジストパターン
- 24 電子線

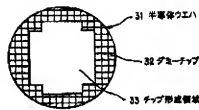
【図1】



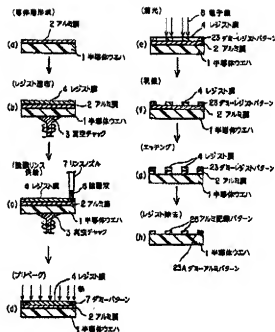
【図3】



【図4】



【図2】



フロントページの続き

(51) Int. Cl.

識別記号

F I  
H 0 1 L 21/30

5 6 9 E